



PCT

## 国際調査報告

(法 8 条、法施行規則第 40、41 条)  
[PCT 18 条、PCT 規則 43、44]

出願人又は代理人 の書類記号 EPPC-2550	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記 5 を参照すること。	
国際出願番号 PCT/JPO0/06767	国際出願日 (日.月.年) 29.09.00	優先日 (日.月.年) 04.10.99
出願人 (氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第 41 条 (PCT 18 条) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第三欄に示されているように、法施行規則第 47 条 (PCT 規則 36.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 5 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

EPPC-2550

Original (for SUBMISSION) - printed on 30.05.2001 04:36:07 PM

<b>0</b>	<b>For receiving Office use only</b>	
<b>0-1</b>	International Application No.	
<b>0-2</b>	International Filing Date	
<b>0-3</b>	Name of receiving Office and "PCT International Application"	
<b>0-4</b>	<b>Form - PCT/RO/101 PCT Request</b>	
<b>0-4-1</b>	Prepared using	<b>PCT-EASY Version 2.91 (updated 01.01.2001)</b>
<b>0-5</b>	<b>Petition</b> The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
<b>0-6</b>	<b>Receiving Office (specified by the applicant)</b>	<b>Japanese Patent Office (RO/JP)</b>
<b>0-7</b>	<b>Applicant's or agent's file reference</b>	<b>EPPC-2550</b>
<b>I</b>	<b>Title of invention</b>	<b>SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME, CIRCUIT BOARD, AND ELECTRONIC INSTRUMENT</b>
<b>II</b>	<b>Applicant</b>	
<b>II-1</b>	This person is:	<b>applicant only</b>
<b>II-2</b>	Applicant for	<b>all designated States except US</b>
<b>II-4</b>	Name	<b>SEIKO EPSON CORPORATION</b>
<b>II-5</b>	Address:	<b>4-1, Nishi-shinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811 Japan</b>
<b>II-6</b>	State of nationality	<b>JP</b>
<b>II-7</b>	State of residence	<b>JP</b>
<b>II-8</b>	Telephone No.	<b>03-3348-3114</b>
<b>II-9</b>	Facsimile No.	<b>03-3340-4258</b>
<b>III-1</b>	<b>Applicant and/or inventor</b>	
<b>III-1-1</b>	This person is:	<b>applicant and inventor</b>
<b>III-1-2</b>	Applicant for	<b>US only</b>
<b>III-1-4</b>	Name (LAST, First)	<b>HASHIMOTO, Nobuaki</b>
<b>III-1-5</b>	Address:	<b>c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan</b>
<b>III-1-6</b>	State of nationality	<b>JP</b>
<b>III-1-7</b>	State of residence	<b>JP</b>

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

EPPC-2550

Original (for SUBMISSION) - printed on 30.05.2001 03:42:33 PM

IV-1	Agent r c mm n repre entativ ; or address for c rresp ndenc The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INOUE, Hajime
IV-1-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-3	Telephone No.	03-5397-0891
IV-1-4	Facsimile No.	03-5397-0893
IV-1-5	e-mail	MXJ00663@nifty.ne.jp
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	FUSE, Yukio; OFUCHI, Michie
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN JP KR US
V-5	Precautionary Designation Statement  In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	04 October 1999 (04.10.1999)
VI-1-2	Number	11-282474
VI-1-3	Country	JP

**THIS PAGE BLANK (USPTO)**

## PCT REQUEST

EPPC-2550

Original (for SUBMISSION) - printed on 30.05.2001 03:42:33 PM

VI-2	<b>Priority document request</b> The receiving Office is requested to prepare and transmit to the International Bureau a certified copy of the earlier application(s) identified above as item(s):	<b>VI-1</b>	
VII-1	<b>International Searching Authority Chosen</b>	<b>Japanese Patent Office (JPO) (ISA/JP)</b>	
VIII	<b>Check list</b>	<b>number of sheets</b>	<b>electronic file(s) attached</b>
VIII-1	Request	4	-
VIII-2	Description	22	-
VIII-3	Claims	5	-
VIII-4	Abstract	1	-
VIII-5	Drawings	10	-
VIII-7	TOTAL	42	
	<b>Accompanying items</b>	<b>paper document(s) attached</b>	<b>electronic file(s) attached</b>
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	<b>Figure of the drawings which should accompany the abstract</b>	5	
VIII-19	<b>Language of filing of the international application</b>	<b>Japanese</b>	
IX	<b>Signature of applicant or agent</b>		
IX-1	Name (LAST, First)		
IX-2	Capacity		

## FOR RECEIVING OFFICE USE ONLY

10-1	<b>Date of actual receipt of the purported international application</b>	
10-2	<b>Drawings:</b>	
10-2-1	Received	
10-2-2	Not received	
10-3	<b>Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application</b>	
10-4	<b>Date of timely receipt of the required corrections under PCT Article 11(2)</b>	
10-5	<b>International Searching Authority</b>	<b>ISA/JP</b>
10-6	<b>Transmittal of search copy delayed until search fee is paid</b>	

## FOR INTERNATIONAL BUREAU USE ONLY

11-1	<b>Date of receipt of the record copy by the International Bureau</b>	
------	---	--

**THIS PAGE BLANK (USPTO)**



(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年4月12日 (12.04.2001)

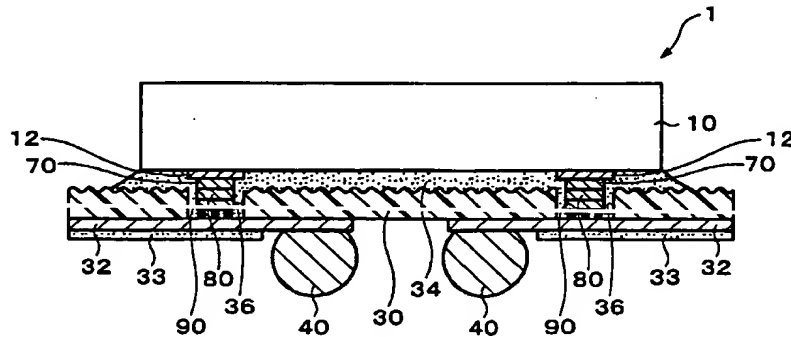
PCT

(10) 国際公開番号  
WO 01/26147 A1

- (51) 国際特許分類: H01L 21/60 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 橋元伸晃  
(HASHIMOTO, Nobuaki) [JP/JP]; 〒392-8502 長野県  
(21) 国際出願番号: PCT/JP00/06767 諏訪市大和3丁目3番5号 セイコーエプソン株式会  
社内 Nagano (JP).  
(22) 国際出願日: 2000年9月29日 (29.09.2000)  
(25) 国際出願の言語: 日本語 (74) 代理人: 井上 一, 外(INOUE, Hajime et al.); 〒167-  
0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2  
(26) 国際公開の言語: 日本語 階 Tokyo (JP).  
(30) 優先権データ: 特願平11/282474 1999年10月4日 (04.10.1999) JP (81) 指定国 (国内): CN, JP, KR, US.  
添付公開書類:  
— 国際調査報告書  
(71) 出願人 (米国を除く全ての指定国について): セイコー  
エプソン株式会社 (SEIKO EPSON CORPORATION)  
[JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号  
Tokyo (JP).  
2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract: A semiconductor device comprises a substrate (30) having a plurality of holes (36) and having wiring patterns (32) on one side, part of wiring patterns (32) overlying the holes (36) horizontally; a semiconductor chip (10) having a plurality of electrodes (12) and arranged on the other side of the substrate (30) with the electrodes (12) corresponding to the holes; and conductors arranged through the holes (36) to connect the electrodes (12) and the wiring patterns (32) electrically.

[続葉有]

WO 01/26147 A1



---

(57) 要約:

半導体装置は、複数の穴（３６）が形成され、配線パターン（３２）が一方の面に形成されるとともに、前記配線パターン（３２）の一部は前記穴（３６）と平面的に重なるように形成された基板（３０）と、複数の電極（１２）を有し、前記電極（１２）が前記穴と対応するように前記基板（３０）の他方の面に配置された半導体チップ（１０）と、前記穴（３６）の内側に配置され、前記電極（１２）と前記配線パターン（３２）とを電氣的に接続するための導電部材とを含む。

## 明 細 書

半導体装置及びその製造方法、回路基板並びに電子機器

## 5    〔技術分野〕

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

## 〔背景技術〕

CSP（Chip Scale/ Size Package）型の半導体装置の中で、一つの形態として、  
10 半導体チップを基板に対してフェースダウン実装した構造が知られている。一般的に  
フェースダウン構造では、半導体チップは基板の配線パターンの形成された面に搭載  
される。したがって、配線パターンの一部は半導体チップに覆われることになり、配  
線パターンに対する設計自由度が制限されていた。

## 15    〔発明の開示〕

本発明は、この問題点を解決するためのものであり、その目的は、接続信頼性を低下  
させることなく配線パターンの設計自由度を高くすることのできる半導体装置及  
びその製造方法、回路基板並びに電子機器を提供することにある。

（１）本発明に係る半導体装置は、複数の穴が形成され、配線パターンが一方の面  
20 に形成されるとともに、前記配線パターンの一部は前記穴と平面的に重なるように形  
成された基板と、

複数の電極を有し、前記電極が前記穴と対応するように前記基板の他方の面に配置  
された半導体チップと、

前記穴の内側に配置され、前記電極と前記配線パターンとを電氣的に接続するため  
25 の導電部材と、  
を含む。

本発明によれば、半導体チップの電極上に形成された導電部材が、基板の穴内に配

置されて配線パターンに接続されている。これにより、配線パターンは基板における半導体チップの搭載領域とは反対側に位置することとなる。すなわち、配線パターンは半導体チップに覆われることなく自由に設計することが可能となる。さらに、配線パターンは半導体チップからみて基板を介した位置に形成される。したがって、半導体チップ内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

(2) この半導体装置において、

前記基板と前記半導体チップとの間に樹脂が設けられてもよい。

これによれば、基板における配線パターンの形成を必須としない面に半導体チップが搭載され、基板と半導体チップとの間には樹脂が設けられている。したがって、基板における半導体チップの搭載面に配線パターンが形成されない場合に、樹脂は比較的密着性に優れる基板上に設けられるので、剥離を抑えることができる。ゆえに、さらに効果的に、接続信頼性を低下させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

(3) この半導体装置において、

前記樹脂は、導電粒子が含まれた異方性導電材料であり、

前記導電部材は、前記導電粒子を介して前記配線パターンに電氣的に接続されていてもよい。

(4) この半導体装置において、

前記配線パターンの一部は、前記穴を塞いで形成されてもよい。

(5) この半導体装置において、

前記配線パターンは複数の配線を含み、

1つの前記穴に、2つ以上の前記配線がまたいで形成されてもよい。

これによれば、基板に必要な穴を容易に設けることができる。

(6) この半導体装置において、

前記基板の他方の面は、粗面加工されていてもよい。

これによれば、樹脂と基板との接触面積が大きくなるので、さらに両者の密着性を

高めることができる。

(7) この半導体装置において、

前記基板には、前記穴とは異なる位置に認識用の穴が形成されており、

前記基板における前記配線パターンの形成された面であって前記認識用の穴の上

5 には、認識パターンが形成されていてもよい。

これによれば、半導体チップが容易に基板に搭載される。

(8) この半導体装置において、

前記認識用の穴は、前記基板における前記半導体チップの搭載領域の外側に形成されていてもよい。

10 これによれば、半導体チップがさらに容易に基板に搭載される。

(9) この半導体装置において、

前記認識パターンは、前記基板の面上に設定される二次元座標軸のうち、X軸方向に延びる第1パターンと、Y軸方向に延びる第2パターンと、  
を含んでもよい。

15 これによれば、第1及び第2パターンを認識することによって、半導体チップを基板上の決められた位置に正確に搭載することができる。

(10) この半導体装置において、

前記導電部材は積層された複数のバンパであってもよい。

これによれば、例えば、既存の技術と装置を用いて導電部材を形成することができ

20 る。

(11) この半導体装置において、

前記複数のバンパは、前記電極上に形成された第1のバンパと、前記第1のバンパ上に形成された第2のバンパと、を含む。

なお、第1及び第2のバンパは複数のバンパのうち任意の二つのバンパを意味し、

25 本発明は二つのバンパに限定するものではなく、少なくとも二つのバンパに適用が可能である。

(12) この半導体装置において、

少なくとも前記第1のバンパはボールバンパであってもよい。

これによれば、第1のバンプをボールバンプ法で形成してもよく、ワイヤボンダー設備を活用することができるので、少ない設備投資で製造することができる。

(13) この半導体装置において、

5 前記第2のバンプは、前記第1のバンプよりも融点の低い金属で形成されてもよい。

これによれば、先に形成される第1のバンプの融点の方が高いので、例えば第2のバンプを形成するときの熱によって第1のバンプに与える影響を少なくすることができる。したがって、容易に複数のバンプを積層させることができる。

(14) この半導体装置において、

10 前記第1のバンプは、金であってもよい。

金の融点は比較的高い。

(15) この半導体装置において、

前記第2のバンプは、ハンダであってもよい。

(16) この半導体装置において、

15 前記第1のバンプと前記第2のバンプとは、同一材料で形成されてもよい。

これによって、例えば第2のバンプもボールバンプ法にて形成することができる。

(17) この半導体装置において、

前記半導体チップは、前記基板にフェースダウンボンディングされてもよい。

20 これによれば、半導体チップの電極上に形成された第1及び第2のバンプの高さによって、半導体チップと基板との間隔が大きくなるので、半導体チップの直下に樹脂を多く設けることができ、樹脂を応力緩和層として十分に機能させることができる。また、第1のバンプを金で形成し、第2のバンプをハンダで形成した場合には、コア(金)のあるハンダバンプの実装構造を容易に得ることができる。

(18) 本発明に係る回路基板は、上記半導体装置が搭載されている。

25 (19) 本発明に係る電子機器は、上記半導体装置を有する。

(20) 本発明に係る半導体装置の製造方法は、複数の穴と一部において前記穴の上を通るように形成された配線パターンとを有する基板と、複数の電極とそれぞれの前記電極に形成された導電部材とを有する半導体チップと、を用意する工程と、

前記導電部材を前記穴内に配置させるとともに、前記半導体チップを前記基板に搭載し、前記導電部材を介して前記配線パターンと前記電極とを電氣的に接続する工程と、

を含む。

- 5 本発明によれば、半導体チップの電極上に形成された導電部材を、基板の穴内に配置させて配線パターンに接続する。これにより、配線パターンは基板における半導体チップの搭載領域とは反対側に位置することとなる。すなわち、配線パターンは半導体チップに覆われることなく自由に設計することが可能となる。さらに、配線パターンは半導体チップからみて基板を介した位置に形成される。したがって、半導体チップ内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくな
- 10 ており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

(21) この半導体装置の製造方法において、

- 前記基板における前記半導体チップを搭載する領域に樹脂を設ける工程をさらに
- 15 含んでもよい。

- これによれば、基板における配線パターンの形成を必須としない面に半導体チップを搭載し、基板と半導体チップとの間に樹脂を設ける。したがって、基板における半導体チップの搭載面に配線パターンが形成されない場合に、樹脂は比較的密着性に優れる基板上に設けられるので、実装工程で伴う熱などによってその界面の剥離を抑えることができる。ゆえに、さらに効果的に、接続信頼性を低下させることなく配線パ
- 20 ターンの設計自由度の高い半導体装置を得ることができる。

(22) この半導体装置の製造方法において、

前記樹脂は、導電粒子が含まれた異方性導電材料であり、

- 前記樹脂を設けた後に、前記導電部材を、前記導電粒子を介して前記配線パターン
- 25 に電氣的に接続してもよい。

異方性導電材料によって半導体チップの電極と配線パターンとを電氣的に導通させるのと同時に、半導体チップと基板のアンダーフィルを同時に行えるので、生産性に優れた方法で半導体装置を製造することができる。

(23) この半導体装置の製造方法において、

前記基板は、前記穴が前記電極に対応して形成され、前記配線パターンの一部が前記穴を塞いで形成され、

1つの前記導電部材をいずれかの前記穴内に配置させてもよい。

5 (24) この半導体装置の製造方法において、

前記配線パターンは複数の配線を含み、

前記基板は、1つの前記穴に、2つ以上の前記配線がまたいで形成され、

2つ以上の前記導電部材をいずれかの前記穴内に配置させてもよい。

これによれば、基板に必要な穴を容易に設けることができる。

10 (25) この半導体装置の製造方法において、

前記樹脂を設ける工程は、前記基板を部材上に載せる工程を含み、

前記部材は、少なくとも前記基板の前記穴が配置された領域において、前記樹脂を弾く特性を有し、

前記基板を、前記配線パターンを有する面を前記部材に向けて配置した後に、前記

15 樹脂を設けてもよい。

これによれば、スリットから樹脂を漏らすことなく基板上に設けることができる。

(26) この半導体装置の製造方法において、

前記基板の他方の面を、粗面加工する工程をさらに含んでもよい。

これによれば、樹脂と基板との接触面積が大きくなるので、さらに両者の密着性を

20 高めることができる。

(27) この半導体装置の製造方法において、

前記基板において前記穴とは異なる位置に認識用の穴を形成するとともに、前記基板における前記配線パターンの形成された面であって前記認識用の穴の上に、認識パターンを形成する工程をさらに含んでもよい。

25 これによれば、半導体チップを容易に基板に搭載することができる。

(28) この半導体装置の製造方法において、

前記認識パターンを、前記基板の面上に設定される二次元座標軸のうちX軸方向に延びる第1パターンと、Y軸方向に延びる第2パターンとで形成し、



前記認識パターンを使用して、前記半導体チップと前記基板との位置合わせを行ってもよい。

これによれば、第1及び第2パターンを認識することによって、半導体チップを基板上の決められた位置に正確に搭載することができる。

- 5       (29) この半導体装置の製造方法において、  
前記導電部材は積層した複数のバンパであってもよい。  
これによれば、導電部材を確実に形成することができる。

(30) この半導体装置の製造方法において、  
前記複数のバンパは、

- 10       第1の導電線を半導体チップの複数の電極のいずれかにボンディングして、前記ボンディングされた第1の導電線をその一部を残して切断する第1工程と、

前記電極に残された前記第1の導電線を押圧して第1のバンパを形成する第2工程と、

- 15       第2の導電線を前記第1のバンパ上にボンディングして、前記ボンディングされた第2の導電線をその一部を残して切断する第3工程と、

前記第1のバンパに残された前記第2の導電線を押圧して第2のバンパを形成する第4工程と、

を含む。

- 20       これによれば、第1又は第2の導電線を、電極又は第1のバンパにボンディングし、その一部を電極又は第1のバンパに残して切断し、これを押圧するだけで第1及び第2のバンパを積層させて形成することができる。この工程は、メッキによってバンパを積層させて形成する工程に比べて、短い時間で行える。

- 25       なお、第1及び第2のバンパは複数のバンパのうち任意の二つのバンパを意味し、本発明は二つのバンパに限定するものではなく、少なくとも二つバンパに適用が可能である。

(31) この半導体装置の製造方法において、

前記第1工程を繰り返して、複数の前記電極のそれぞれに前記第1の導電線の一部を設け、

前記第 2 工程では、複数の前記電極に残された前記第 1 の導電線の一部を、同時に押圧して、複数の前記第 1 のバンプを同時に形成してもよい。

これによれば、複数の第 1 のバンプを同時に形成できるので、その工程を一層短縮することができる。

5       (32) この半導体装置の製造方法において、

前記第 3 工程を繰り返して、複数の前記第 1 のバンプのそれぞれに前記第 2 の導電線の一部を設け、

前記第 4 工程では、複数の前記第 1 のバンプに残された前記第 2 の導電線の一部を、同時に押圧して、複数の前記第 2 のバンプを同時に形成してもよい。

10       これによれば、複数の第 2 のバンプを同時に形成できるので、その工程を一層短縮することができる。

#### [図面の簡単な説明]

15       図 1 A～図 1 C は、本発明の第 1 の実施の形態における半導体装置の製造方法を説明する図である。

図 2 A 及び図 2 B は、本発明の第 1 の実施の形態における半導体装置の製造方法を説明する図である。

図 3 A～図 3 C は、本発明の第 1 の実施の形態における半導体装置の製造方法を説明する図である。

20       図 4 A 及び図 4 B は、本発明の第 1 の実施の形態における半導体装置の製造方法を説明する図である。

図 5 は、本発明の第 1 の実施の形態における半導体装置を示した図である。

図 6 は、本発明の第 1 の実施の形態における基板を示した図である。

図 7 は、本発明の第 2 の実施の形態における基板を示した図である。

25       図 8 は、本発明の第 2 の実施の形態における半導体装置の製造方法を説明する図である。

図 9 A～図 9 D は、本発明の第 3 の実施の形態における半導体装置の製造方法を示す図である。

図10は、本発明に係る半導体装置が実装された回路基板を示す図である。

図11は、本発明に係る半導体装置を有する電子機器を示す図である。

図12は、本発明に係る半導体装置を有する電子機器を示す図である。

## 5 [発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明する。本発明に係る半導体装置のパッケージ形態は、BGA (Ball Grid Array)、CSP (Chip Size/Scale Package) などのいずれが適用されてもよい。本発明は、フェースダウン型の半導体装置やそのモジュール構造にも適用することができる。フェースダウン型の半導体装置として、例えば、COF (Chip On Flex/Film) 構造やCOB (Chip On Board) 構造などがある。これらは、以下に述べるように半導体チップのみの実装ではなく、抵抗、コンデンサ等や、これらのSMD (Surface Mount Device) などの受動部品と適宜に組み合わされたモジュール構造となってもよい。

### (第1の実施の形態)

15 図1A～図4Bは、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図であり、半導体チップへのバンプの形成方法の一例を示す図である。本実施の形態では、導電部材の一例として、半導体チップにバンプを形成する。詳しくは、半導体チップ10に複数のバンプ(第1及び第2のバンプ70、80)を形成する。

20 図1A～図2Bは、第1のバンプ70の形成方法を示す図である。図1Aに示すように、1つ又は複数の電極(又はパッド)12が形成された半導体チップ10を用意する。各電極12は、例えばアルミニウムなどで半導体チップ10に薄く平らに形成されていることが多い。電極12の側面又は縦断面の形状は限定されない。電極12は、半導体チップ10の面と面一になってもよい。また、電極12の平面形状も特に限定されず、円形であっても矩形であってもよい。電極12を避けて半導体チップ10には、パッシベーション膜(図示しない)が形成されている。パッシベーション膜は、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 又はポリイミド樹脂などで形成することができる。

25 このような半導体チップ10における電極12が形成された面の側に、キャピラリ14を配置する。キャピラリ14には、ワイヤなどの導電線16が挿通されている。

導電線 16 は、金、金—スズ、ハンダ、銅又はアルミニウムなどで構成されることが多いが、導電性の材料であれば特に限定されない。導電線 16 には、キャピラリ 14 の外側にボール 17 が形成されている。ボール 17 は、導電線 16 の先端に、例えば電気トーチによって高電圧の放電を行うことで形成される。

- 5      なお、本発明においては、第 1 のバンプを形成するための導電線 16 を第 1 の導電線、第 2 のバンプを形成するための導電線 16 を第 2 の導電線と称してもよい。

そして、キャピラリ 14 をいずれか一つの電極 12 の上方に配置して、ボール 17 をいずれか一つの電極 12 の上方に配置する。クランパ 18 を開放して、キャピラリ 14 を下降させて、電極 12 にボール 17 を押圧する。ボール 17 を一定の圧力で押しつけて電極 12 に圧着を行っている間に、超音波や熱等を印加する。こうして、図 10 1 B に示すように、導電線 16 が電極 12 にボンディングされる。

そして、クランパ 18 を閉じて導電線 16 を保持し、図 1 C に示すように、キャピラリ 14 及びクランパ 18 を同時に上昇させる。こうして、導電線 16 は、引きちぎられて、ボール 17 を含む部分が電極 12 上に残る。バンプ形成の必要がある電極 15 2 が複数の場合には、以上の工程を、複数の電極 12 について繰り返して行う。

なお、電極 12 上に残った導電線 16 の一部（ボール 17 を含む）は、圧着されたボール 17 上で導電線が引きちぎられたような、もしくはルーピングによる凸状になっていることが多い。

次に、図 2 A 及び図 2 B に示す工程を行う。まず、図 2 A に示すように、電極 12 20 上にボンディングされた導電線 16 の一部（ボール 17 を含む）が残された半導体チップ 10 を、台 20 の上に載せる。そして、図 2 B に示すように、押圧治具 22 によって導電線 16 の一部（ボール 17 を含む）を押しつぶす。なお、本実施の形態では、複数の電極 12 上に残された導電線 16 の一部を同時に押しつぶすが、一つの電極 12 ごとに導電線 16 の一部（ボール 17 を含む）を押しつぶしても良い（フラットニングの工程）。この工程では、ギャングボンディング用のボンダーや、シングルポイントボンディング用のボンダーを使用することができる。

こうして、図 2 B に示すように、各電極 12 上に第 1 のバンプ 70 が形成される。第 1 のバンプ 70 は押圧治具 22 によってつぶされたことで上端面が平坦になって

いることが好ましい。すなわち、後に示す第2のバンプ80を第1のバンプ70上に形成することができる程度に、第1のバンプ70が安定性を有して形成される。なお、第1のバンプ70の側面に窪んだ凹部が形成されていても構わない。凹部を形成することで、凹部に樹脂（図5参照）が入り込み第1のバンプ70の抜け止めが図られる（機械的なアンカリング効果）。このことは第2のバンプ80でも共通の内容となるが、頂上に形成されるバンプ（図5では第3のバンプ）においては、上端部は配線パターン32と確実に接続できる程度の平坦性が確保される。上述したフラットニングの工程は、次に述べるように第2のバンプ80を形成しやすくするための一手段であり、第2のバンプ80の形成性が問題なければ、同工程を省いたり、あるいは溶融加熱によるウェットバック工程で代替したりすることもできる。

図3A～図4Bは第2のバンプ80の形成方法を示す図である。第2のバンプ80の形成方法は、電極12上に第1のバンプ70が形成されていることを除いて図1A～図2Bと同様である。図4Bにおいて、第2のバンプ80は、第1のバンプ70に対して垂直に積層されることが好ましい。第2のバンプ80の形成後にも上述したフラットニング工程を行い、バンプ高さのばらつきを低減するほうが、後述の半導体チップの実装工程の不良率が低減できるのでより好ましい。

上述の第1及び第2のバンプ70、80は、前述のように複数のバンプのうちの任意の二つを意味し、二つのバンプに限定するものではなく、少なくとも二つのバンプに適用が可能である。なお、本発明に係る半導体装置は、電極12と配線パターン32との間に導電部材を有していればよく、導電部材はバンプに限定されない。図5では導電部材としてバンプを用いた場合を示すものであるが、第1から第3のバンプ70、80、90は任意の複数のバンプを意味し、バンプの数は限定されない。また、導電部材として、一つのバンプを適用してもよい。後述される半導体チップの実装方法に従って、第1のバンプ70以外の、例えば第2のバンプ80は、第1のバンプ70とは異なる材料としてもよい。例えば、第1のバンプ70を金で形成し、第2のバンプ80を金－スズ、ハンダなどの金よりも低融点金属で形成すれば、第2のバンプ80の形成後におけるフラットニング工程は、溶融加熱によるウェットバック工程などを採用でき、工程の簡略化を図ることができる。さらに、このとき、バンプ自身を

ロウ材とした半導体チップの実装が行えることは言うまでもない。上述したボールバンプ法では、既存のワイヤボンダー設備を活用することができるので、少ない設備投資で製造することができる。

また、以上に示した工程では、ボンディングワイヤを用いたボールバンプの例について述べてきたが、バンプの形成方法としては従来から行われている、電解メッキ法、無電解メッキ法、ペースト印刷法、ボール載置法などや、それらの組合わせ手法を用いてもよい。なお、２段以上のバンプが積層される場合に、その製造方法及び材料の組合わせは限定されない。

図５は本実施の形態に係る半導体装置を示す図であり、図６は本実施の形態に係る、半導体チップ１０を搭載する前の基板３０の平面図である。半導体装置１は、半導体チップ１０と、基板３０と、を含む。

半導体チップ１０は、上述の工程によって形成された第１及び第２のバンプ７０及び８０を含む。本実施の形態では第３のバンプ９０をさらに含む。また、本発明においては、バンプに替えてその他の導電部材を使用してもよい。

基板３０は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。基板３０は、個片で用いてもよく、又は半導体チップ１０を搭載する領域がマトリクス状に複数形成された短冊状で用いてもよい。短冊状の場合は、別工程で個片に打ち抜かれる。有機系の材料から形成された基板３０として、例えばポリイミド樹脂からなる２層や３層のフレキシブル基板が挙げられる。フレキシブル基板として、TAB技術で使用されるテープを使用してもよい。また、無機系の材料から形成された基板３０として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。基板３０の平面形状は問わないが、半導体チップ１０の相似形であることが好ましい。

基板３０には配線パターン３２が形成されている。本実施の形態では配線パターン３２は基板３０の一方の面に形成されている。配線パターン３２は、複数の配線によって構成される。すなわち、複数の配線が所定の形状に引き廻されることで、基板３０の面に配線パターン３２が形成される。配線パターン３２は、銅箔をエッチングし

て形成することが多く、複数層から構成されていてもよい。銅箔は予め基板 30 に接着剤（図示しない）を介して形成されていることが一般的である。別の例では、銅（Cu）、クローム（Cr）、チタン（Ti）、ニッケル（Ni）、チタタングステン（Ti-W）のうちのいずれかを積層して配線パターン 32 を形成することができる。例えば、フォトリソグラフィを適用した後にエッチングによって配線パターン 32 を形成してもよく、スパッタによって配線パターン 32 を基板 30 に直接形成してもよく、メッキ処理によって配線パターン 32 を形成してもよい。また、配線パターン 32 の一部は、ラインとなる部分よりも面積の大きいランド部 37 及び 39 となっていてよい。このランド部 37 及び 39 は電氣的接続部を十分に確保する機能を有する。したがって、図 6 に示すようにランド部 37 は電極 12 との接続部に形成され、ランド部 39 は後に示す外部端子 40 との接続部に形成されていてもよい。

基板 30 には複数の穴 36 が形成されている。半導体チップ 10 の電極 12 上に形成された導電部材（第 1 から第 3 のバンプ 70、80、90）は穴 36 に挿通される。この場合、導電部材は、半導体チップ 10 の電極 12 と配線パターン 32（ランド部 37）とが電氣的に接続される高さを有する。例えば、1つのバンプ（例えば第 1 のバンプ 70）を、電極 12 と配線パターン 32 とを接続できる高さに形成してもよい。あるいは、複数のバンプが形成される場合には、それぞれのバンプは、積み重ねられた複数のバンプの合計の高さが電極 12 と配線パターン 32 とを接続する距離以上になるように形成してもよい。

穴 36 は基板 30 における半導体チップ 10 の搭載領域内であって、各電極 12 の配置や数などに応じて形成される。例えば、図 6 においては、半導体チップ 10 の対向する二辺に沿って形成された電極 12 に対応して、穴 36 は基板 30 における半導体チップ 10 の搭載領域内の対向する二辺にそれぞれ形成されていてもよい。一つの穴 36 内に一つの導電部材が配置されてもよい。穴 36 は、導電部材が挿通できる径を有していればよく、形状は円形であっても矩形であっても構わない。穴 36 は基板 30 を貫通して形成される。穴 36 は、基板 30 の一方の面に形成された配線パターン 32 によって、その一方の開口部は塞がれる。すなわち、前述のランド部 37 によって、穴 36 の配線パターン 32 が形成された側の開口部が塞がれている。なお、導

電部材は配線パターン 3 2 (ランド部 3 7) と電氣的に接続されるために、基板 3 0 の厚さより高く形成されることが好ましい。

半導体チップ 1 0 は、基板 3 0 における配線パターン 3 2 の形成を必須としない側の面に、電極 1 2 の形成面が基板 3 0 の側を向いて搭載される。本実施の形態では、  
5 基板 3 0 における半導体チップ 1 0 の搭載面には、配線パターン 3 2 は形成されていない。電極 1 2 に形成された導電部材は、穴 3 6 に挿通され、穴 3 6 の一方の開口部に形成された配線パターン 3 2 (ランド部 3 7) に電氣的に接続される。すなわち、導電部材は、穴 3 6 から露出した配線パターン 3 2 (ランド部 3 7) に電氣的に接続される。なお、言うまでもないが、本発明は電極 1 2 と配線パターン 3 2 との間に導  
10 電部材を有していればよく、導電部材はバンプに限定されない。他の導電部材の一例としては、導電ペースト、導電性ボールなどがある。また、導電部材は、穴 3 6 から露出された配線パターン 3 2 (ランド部 3 7) の側に形成されてもよく、半導体チップ 1 0 の側に形成された導電部材との両方を導電部材としてもよい。

これによれば、半導体チップ 1 0 の電極 1 2 上に形成された導電部材が、基板 3 0  
15 の穴 3 6 内に配置されて配線パターン 3 2 に接続されている。これにより、配線パターン 3 2 は基板 3 0 における半導体チップ 1 0 の搭載領域とは反対側に位置することとなる。すなわち、配線パターン 3 2 は半導体チップ 1 0 に覆われることなく自由に設計することが可能となる。さらに、配線パターン 3 2 は半導体チップ 1 0 からみて基板 3 0 を介した位置に形成される。したがって、半導体チップ 1 0 内の集積回路  
20 における信号と、配線パターン 3 2 における信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターン 3 2 の設計自由度の高い半導体装置を得ることができる。

半導体チップ 1 0 と基板 3 0 との間には樹脂が設けられる。詳しく言うと、本実施の形態においては、基板 3 0 の配線パターン 3 2 の形成されていない面であって、少  
25 なくとも半導体チップ 1 0 の搭載領域 (穴 3 6 を含む) に樹脂が設けられる。本実施の形態では、樹脂は、異方性導電材料 3 4 である。異方性導電材料 3 4 は、接着剤 (バインダ) に導電粒子 (フィラー) が分散されたもので、分散剤が添加される場合もある。異方性導電材料 3 4 の接着剤として、熱硬化性の接着剤が使用されることが多い。



また、異方性導電材料 3 4 として、予めシート状に形成された異方性導電膜が使用されることが多いが、液状のものを使用してもよい。異方性導電材料 3 4 は、導電部材と配線パターン 3 2 との間で押しつぶされて、導電粒子によって両者間での電氣的導通を図るようになっている。なお、本発明はこれに限定されるものではなく、導電部材と配線パターン 3 2 との電氣的接続として、例えば Au-Au、Au-Sn もしくはハンダなどによる金属接合によるもの、導電樹脂ペーストによるもの又は絶縁樹脂の収縮力によるものなどの形態があり、そのいずれの形態を用いてもよい。

いずれの実装方式を採用しても、基板 3 0 と半導体チップ 1 0 との間には、少なくとも結果的には絶縁性の樹脂が封入されていることが多い。これによれば、基板 3 0 における配線パターン 3 2 の形成を必須としない面に半導体チップ 1 0 が搭載され、基板 3 0 と半導体チップ 1 0 との間には樹脂が設けられている。したがって、基板 3 0 における半導体チップ 1 0 の搭載面に配線パターン 3 2 が形成されない場合に、樹脂は比較的密着性に優れる基板 3 0 上に設けられるので、剥離を抑えることができる。また、半導体チップ 1 0 と配線パターン 3 2 との間に基板 3 0 が介在する。したがって、例えば、基板 3 0 が軟らかい材料で形成されたときに、半導体チップ 1 0 と配線パターン 3 2 とに加えられる応力を吸収することができる。ゆえに、さらに効果的に、接続信頼性を低下させることなく配線パターン 3 2 の設計自由度の高い半導体装置を得ることができる。

基板 3 0 における少なくとも異方性導電材料 3 4 を設ける領域は、粗面となってもよい。すなわち、基板 3 0 の表面を、その平坦性をなくすように荒らしてもよい。基板 3 0 の表面は、サンドブラストを用いて機械的に、又はプラズマ、紫外線、オゾン等を用いて物理的に、エッチング材を用いて化学的に荒らすことができる。これらにより、基板 3 0 と異方性導電材料 3 4 の接着面積が増大させたり、物理的、化学的な接着力を増大させたりして、両者をより強く接着することができる。

図 6 に示すように、基板 3 0 には、認識用の穴 5 0 とその上に形成される認識パターン 5 2、5 4 とが設けられていてもよい。認識用の穴 5 0 及び認識パターン 5 2、5 4 によって導電部材を穴 3 6 に容易かつ確実に挿通させることができる。したがって、認識用の穴 5 0 及び認識パターン 5 2、5 4 は基板 3 0 における半導体チップ 1

0の搭載領域を避けた領域に形成されるのが好ましい。言うまでもないが、認識用の穴50の形状と大きさは限定されることなく、認識パターン52、54が認識できればよい。認識パターン52、54は、図6にあるように認識用の穴50をまたいでもよく、形状はこれに限定されない。また、認識パターン52、54は、基板30における配線パターン32の形成面であって、認識用の穴50の開口部に形成される。基板30に光透過性がある場合は、必ずしも認識用の穴50は形成しなくてもよく、その場合は、認識パターン52、54は、基板30を通して認識されることになる。

例えば、認識パターン52、54は基板30の面上に設定される二次元座標のうちX軸方向に延びる第1のパターン52と、Y軸方向に延びる第2のパターン54から構成されてもよい。いずれにしても、認識パターン52、54は、基板平面状において半導体チップ10の位置を二次元的に把握できる構成であることが好ましい。ランド部39、外部端子40又は配線パターン32の一部もしくは全部を認識パターン52、54としてもよいし、穴36もしくは印刷、レーザ加工等で形成されたマーク等を認識パターン52、54として利用してもよい。

複数の外部端子40は、配線パターン32における基板30を向く面とは反対側の面に設けられてもよい。配線パターン32の外部端子40を設ける部分はランド部39となってもよい。配線パターン32における外部端子40の形成面であって、その形成領域を避けた領域には保護膜33が形成されていてもよい。保護膜33は、ソルダレジストなどの絶縁部材であることが好ましく、特に配線パターン32の表面を覆って保護するようになっている。

外部端子40はハンダで形成してもよく、ハンダ以外の金属や導電性樹脂などから形成してもよい。図5には、外部端子40が半導体チップ10の搭載領域内のみに設けられたFAN-IN型の半導体装置が示されているが、本発明はこれに限定されるものではない。例えば、第1の半導体チップ10の搭載領域外にのみ外部端子40が設けられたFAN-OUT型の半導体装置や、これにFAN-IN型を組み合わせたFAN-IN/OUT型の半導体装置にも本発明を適用することができる。

次に、半導体チップ10にバンプを形成する工程以降における、半導体装置の製造方法について説明する。

前述の半導体チップ10を基板30に搭載する。詳しくは、半導体チップ10における電極12の形成面を、基板30における配線パターン32の形成が必須である面とは反対の面に向けて搭載する。なお、基板30は、その表面の一部を例えばサンドブラストやプラズマによって荒らしてもよい。

- 5 樹脂が異方性導電材料34である場合は、半導体チップ10の搭載前に予め基板30上に異方性導電材料34を設けておく。すなわち、基板30に異方性導電材料34を設けて、導電部材を配線パターン32に電氣的に接続させる。本実施形態によれば、異方性導電材料34によって電極12と配線パターン32とを電氣的に導通させるのと同時に、半導体チップ10と基板30との間のアンダーフィルを同時に行えるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。なお、異方性導電材料34が熱硬化性である場合には、半導体チップ10の搭載後に熱によって硬化させることにより、基板30と半導体チップ10との接着を図ることができる。
- 10

- 基板30に認識用の穴50及び認識用パターン52、54が形成されている場合は、それらを認識して半導体チップ10の基板30上における位置決めをすることができる。例えば、図6にあるように、認識パターン52、54は、基板30の面上に設定される二次元座標のうちX軸方向に延びる第1のパターン52と、Y軸方向に延びる第2のパターン54から構成されている。この場合に、第1パターン52を認識して基板平面状のY座標を求め、同様に第2パターン54を用いてX座標を求めて、
- 15
- 20 基板30における半導体チップ10の位置を決めることができる。これによって、半導体チップ10を基板30上の決められた位置に正確に搭載することができる。

- 樹脂を設ける工程は、樹脂が異方性導電材料34である場合を除き、半導体チップ10の搭載後に行っても構わない。その場合は、例えば、半導体チップ10の基板30との隙間から気泡を除きつつ樹脂を充填することで、半導体チップ10と基板30
- 25
- のアンダーフィルとすることができる。

複数の外部端子40を配線パターン32上に設けてもよい。詳しくは、配線パターン32における基板を向く面とは反対側の面に外部端子40を設ける。図6にあるように、例えばランド部39に外部端子40を設ける。外部端子40はハンダや金属な

どで形成することができるが、導電性の部材であればよい。本実施の形態では、外部端子 40 は、ハンダボールである。ハンダボールの形成には、ハンダ球及びフラックス、又はクリームハンダなどを設けてから、これを加熱して溶融するリフロー工程が行われる。したがって、上述した異方性導電材料 34（熱硬化性である場合）の加熱を省略し、このリフロー工程で、ハンダボールの形成と同時に異方性導電材料 34 を加熱してもよい。さらに、このとき、基板 30 上に搭載する別の受動部品のハンダ付けを同時に行ってもよい。

#### （第 2 の実施の形態）

図 7 は、本実施の形態に係る半導体チップ 10 を搭載する前の基板 30 の平面図である。本実施の形態では、穴の形態が上述の実施の形態と異なる。本実施の形態では、穴は、スリット 38 である。スリット 38 は、細長く形成される。そして、配線パターン 32 の一部は、スリット 38 の幅方向をまたいで形成されている。詳しくは、複数の配線のうち、2 つ以上の配線がスリット 38 をまたいで形成されている。

スリット 38 は、半導体チップ 10 のそれぞれの電極 12 の並びに対応して形成される。例えば、図 7 に示すように、半導体チップ 10 の対向する二辺に沿って形成された電極 12 に対応して、基板 30 における半導体チップ 10 の搭載領域の対向する二辺に二つのスリット 38 が形成されていてもよい。一つのスリット 38 には、複数の電極 12 を配置することができる。詳しくは、一つのスリットには、電極 12 に形成された導電部材を、2 つ以上挿通することが可能である。スリット 38 の大きさと形状は、電極 12 の配置によって任意に決めることができる。これによれば、一つの電極 12 に対応して一つの穴を形成する形態よりも、基板 30 に必要な穴を容易に設けることができる。なお、スリット 38 は必要に応じて、分割して形成されていてもよい。これ以外は第 1 の実施の形態と同様である。

次に、本実施の形態に係る半導体装置の製造方法について説明する。本実施の形態は基板 30 にスリット 38 が形成されていることに伴う工程を除き、第 1 の実施の形態と同様な工程を行うことができる。

#### （樹脂を設ける工程）

本工程では、基板 30 に樹脂を設ける。樹脂は、少なくとも基板 30 における半導

体チップ10の搭載領域に設ける。樹脂（例えば異方性導電材料34）は、半導体チップ10を基板30に搭載する前に設けてもよい。あるいは、半導体チップ10搭載後に行っても構わない。

本実施の形態では、基板30にスリット38が形成されており、スリット38の一部は開口部となっている。そこで、樹脂を基板30に設ける前に、基板30の配線パターン32が形成された側に、部材を基板30の下敷きとして設ける。言い換えると、基板30を部材の上に載せて、スリット38の開口部を塞ぐ。部材は、少なくとも基板30のスリット38が配置された領域において、樹脂を浸透させない程度に、樹脂に対して親和性のない（又は親和性の小さい）特性を有することが好ましい。すなわち、部材は、樹脂を弾く特性を有するものであることが好ましい。これによって、樹脂を漏らさず、かつ、部材に浸透させずに、樹脂を基板30の上に設けることができる。これは特に、樹脂を液状又はゲル状で用意する場合に効果的である。

例えば、図8に示すように、台100上にテフロンシート60を用意し、テフロンシート60の上に基板30を載置してもよい。その後、異方性導電材料34を基板30上に設け、半導体チップ10を基板30に載置し、半導体チップ10を基板30に向けて押圧治具110で押圧する。なお、樹脂を半導体チップ10と基板30との間に充填する場合も、例えば、台100上にテフロンシート60を介して半導体チップ10を搭載済みの基板30を載置して行うことができる。

本実施の形態においても、配線パターン32は基板30における半導体チップ10の搭載領域とは反対側に位置することとなる。すなわち、配線パターン32は半導体チップ10に覆われることなく自由に設計することが可能となる。さらに、配線パターン32は半導体チップ10からみて基板30を介した位置に形成される。したがって、半導体チップ10内の集積回路における信号と、配線パターン32における信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターン32の設計自由度の高い半導体装置を得ることができる。

### （第3の実施の形態）

図9A～図9Dは、本実施の形態にかかる半導体装置の製造方法を示す図である。

本実施形態では、図 9 D に示す半導体装置は、半導体チップ 10 と、基板 30 と、外部端子 40 と、を含む。

基板 30 は上述に示した通りであり、フレキシブル基板等の有機系材料から形成されたもの、金属系基板等の無機系材料から形成されたもの、両者の組み合わせられたもののうちいずれであってもよい。基板 30 にはスルーホール 31 が形成されており、配線パターン 32 はスルーホール 31 上をまたいで形成されている。また、配線パターン 31 の一部として、スルーホール 31 上には外部端子形成用のランド部（図示しない）が形成されていてもよい。

このような基板 30 が用意されると、基板 30 に上述に記載の異方性導電材料 34 を設ける。異方性導電材料 34 は、半導体チップ 10 の電極 12 を有する面よりも大きく設けられてもよい。

次に、異方性導電材料 34 上に、半導体チップ 10 を載せる。詳しくは、半導体チップ 10 の電極 12 を有する面を、異方性導電材料 34 に向けて半導体チップ 10 を載せる。本実施の形態では、電極 12 上には第 1 及び第 2 のバンプ 70、80 が形成されており、これらのバンプの形成方法は上述に記載の通りである。第 2 のバンプ 80 は、第 1 のバンプ 70 とは異なる材料から形成されていてもよい。例えば第 1 のバンプ 70 を金で形成し、第 2 のバンプ 80 を金－スズ、ハンダなどの金よりも低融点金属で形成してもよい。このことによるメリットは既に記載の通りである。電極 12 が、配線パターン 32 の電極接続用のランド（図示せず）上に位置するように、半導体チップ 10 を配置する。なお、第 1 及び第 2 のバンプ 70、80 は、配線パターン 32 側に形成してもよい。

以上の工程により、半導体チップ 10 の電極 12 が形成された面と、基板 30 の配線パターン 32 が形成された面との間に異方性導電材料 34 が介在する。そして、治具 110 を、電極 12 が形成された面とは反対の面に押しつけて、半導体チップ 10 を基板 30 の方向に加圧する。また、治具 110 は、例えばヒータなどの加熱手段を有していてもよく、これによって半導体チップ 10 を加熱してもよい。なお、治具 110 として、異方性導電材料 34 がはみ出した部分にも熱を出来るだけ加えたい点を考慮すると、半導体チップ 10 の平面積よりも大きい平面積を有するものを用いるこ

とが好ましい。こうすることで、半導体チップ10の周囲まで熱が加わり易くなる。

治具110によって半導体チップ10が加熱されているので、異方性導電材料34の接着剤は、半導体チップ10との接触領域において硬化している。ただし、この状態では、半導体チップ10と接触していない領域又は半導体チップ10から離れた領域は、異方性導電材料34の接着剤には熱が行き届かないので、完全には硬化していない。この領域の硬化は、次の工程で行われる。

外部端子40を例えばハンダで形成する場合には、図9Cに示すように、基板30のスルーホール31内及びその付近にハンダ42を設ける。ハンダ42は、例えばクリームハンダを用いて、印刷法により設けることができる。また、予め形成されたハンダボールを上記位置に載せても良い。

続いて、リフロー工程においてハンダ34を加熱して、図9Dに示すように、外部端子40を形成する。このリフロー工程では、ハンダ42のみならず異方性導電材料34も加熱される。この熱によって、異方性導電材料34の未硬化の領域も硬化する。すなわち、異方性導電材料34のうち、半導体チップ10と接触していない領域又は半導体チップ10から離れた領域が、外部端子40の形成のためのリフロー工程で硬化する。

こうして得られた半導体装置によれば、半導体チップ10の電極12上に形成された第1及び第2のバンプ70、80の高さによって、半導体チップ10と基板30との間隔が大きくなるので、半導体チップ10の直下に樹脂を多く設けることができ、樹脂を応力緩和層として十分に機能させることができる。なお、本実施の形態において第1及び第2のバンプ70、80は任意のバンプを意味し、少なくとも二つのバンプに適用が可能である。また、本発明は電極12と配線パターン32との電氣的接続は、異方性導電材料34に限定するものではなく、様々な形態（上述に記載）が適用できる。

上述の全ての実施の形態では、外部端子40を有する半導体装置について述べてきたが、基板30の一部を延出し、そこから外部接続を図るようにしてもよい。基板30の一部をコネクタのリードとしたり、コネクタを基板30上に実装したり、基板30の配線パターン32そのものを他の電子機器に接続してもよい。

さらに、積極的に外部端子40を形成せずマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。その半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。さらに、上述の全ての実施の形態では、複数の半導体チップが実装されているもよいし、受動部品と組み合わされているもよい。

図8には、本実施の形態に係る半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の外部端子40とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置1を有する電子機器として、図10にはノート型パーソナルコンピュータ、図11には携帯電話が示されている。

以上述べてきた本実施の形態では、半導体チップ及びそれを利用した半導体装置について述べてきたが、本発明は突起を利用した、全ての電子チップの実施形態に利用することができる。

なお、上記発明の構成要件で「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

さらに、前述した全ての実装の形態は、半導体チップとその他の上記のような電子素子とが基板上で混載実装される半導体装置（実装モジュール）であってもよい。



## 請 求 の 範 囲

1. 複数の穴が形成され、配線パターンが一方の面に形成されるとともに、前記配線パターンの一部は前記穴と平面的に重なるように形成された基板と、

5 複数の電極を有し、前記電極が前記穴と対応するように前記基板の他方の面に配置された半導体チップと、

前記穴の内側に配置され、前記電極と前記配線パターンとを電氣的に接続するための導電部材と、

を含む半導体装置。

10 2. 請求項 1 記載の半導体装置において、

前記基板と前記半導体チップとの間に樹脂が設けられてなる半導体装置。

3. 請求項 2 記載の半導体装置において、

前記樹脂は、導電粒子が含まれた異方性導電材料であり、

15 前記導電部材は、前記導電粒子を介して前記配線パターンに電氣的に接続されてなる半導体装置。

4. 請求項 1 記載の半導体装置において、

前記配線パターンの一部は、前記穴を塞いで形成されてなる半導体装置。

5. 請求項 1 記載の半導体装置において、

前記配線パターンは複数の配線を含み、

20 1つの前記穴に、2つ以上の前記配線がまたいで形成されてなる半導体装置。

6. 請求項 1 記載の半導体装置において、

前記基板の他方の面は、粗面加工されてなる半導体装置。

7. 請求項 1 から請求項 6 のいずれかに記載の半導体装置において、

前記基板には、前記穴とは異なる位置に認識用の穴が形成されており、

25 前記基板における前記配線パターンの形成された面であって前記認識用の穴の上には、認識パターンが形成されてなる半導体装置。

8. 請求項 7 記載の半導体装置において、

前記認識用の穴は、前記基板における前記半導体チップの搭載領域の外側に形成さ

れてなる半導体装置。

9. 請求項7記載の半導体装置において、

前記認識パターンは、前記基板の面上に設定される二次元座標軸のうち、X軸方向に延びる第1パターンと、Y軸方向に延びる第2パターンと、

5 を含む半導体装置。

10. 請求項1から請求項6のいずれかに記載の半導体装置において、

前記導電部材は積層された複数のバンパである半導体装置。

11. 請求項10記載の半導体装置において、

10 前記複数のバンパは、前記電極上に形成された第1のバンパと、前記第1のバンパ上に形成された第2のバンパと、を含む半導体装置。

12. 請求項11記載の半導体装置において、

少なくとも前記第1のバンパはボールバンパである半導体装置。

13. 請求項11記載の半導体装置において、

15 前記第2のバンパは、前記第1のバンパよりも融点の低い金属で形成されてなる半導体装置。

14. 請求項13記載の半導体装置において、

前記第1のバンパは、金である半導体装置。

15. 請求項14記載の半導体装置において、

前記第2のバンパは、ハンダである半導体装置。

20 16. 請求項11記載の半導体装置において、

前記第1のバンパと前記第2のバンパとは、同一材料で形成されてなる半導体装置。

17. 請求項1から請求項6のいずれかに記載の半導体装置において、

25 前記半導体チップは、前記基板にフェースダウンボンディングされてなる半導体装置。

18. 請求項1から請求項6のいずれかに記載の半導体装置を搭載してなる回路基板。

19. 請求項1から請求項6のいずれかに記載の半導体装置を有する電子機器。

20. 複数の穴と一部において前記穴の上を通るように形成された配線パターンとを有する基板と、複数の電極とそれぞれの前記電極に形成された導電部材とを有する半導体チップと、を用意する工程と、

5 前記導電部材を前記穴内に配置させるとともに、前記半導体チップを前記基板に搭載し、前記導電部材を介して前記配線パターンと前記電極とを電氣的に接続する工程と、

を含む半導体装置の製造方法。

21. 請求項20記載の半導体装置の製造方法において、

10 前記基板における前記半導体チップを搭載する領域に樹脂を設ける工程をさらに含む半導体装置の製造方法。

22. 請求項21記載の半導体装置の製造方法において、

前記樹脂は、導電粒子が含まれた異方性導電材料であり、

前記樹脂を設けた後に、前記導電部材を、前記導電粒子を介して前記配線パターンに電氣的に接続する半導体装置の製造方法。

15 23. 請求項20記載の半導体装置の製造方法において、

前記基板は、前記穴が前記電極に対応して形成され、前記配線パターンの一部が前記穴を塞いで形成され、

1つの前記導電部材をいずれかの前記穴内に配置させる半導体装置の製造方法。

24. 請求項21記載の半導体装置の製造方法において、

20 前記配線パターンは複数の配線を含み、

前記基板は、1つの前記穴に、2つ以上の前記配線がまたいで形成され、

2つ以上の前記導電部材をいずれかの前記穴内に配置させる半導体装置の製造方法。

25. 請求項24記載の半導体装置の製造方法において、

25 前記樹脂を設ける工程は、前記基板を部材上に載せる工程を含み、

前記部材は、少なくとも前記基板の前記穴が配置された領域において、前記樹脂を弾く特性を有し、

前記基板を、前記配線パターンを有する面を前記部材に向けて配置した後に、前記

樹脂を設ける半導体装置の製造方法。

26．請求項20記載の半導体装置の製造方法において、

前記基板の他方の面を、粗面加工する工程をさらに含む半導体装置の製造方法。

27．請求項20から請求項26のいずれかに記載の半導体装置の製造方法において、

前記基板において前記穴とは異なる位置に認識用の穴を形成するとともに、前記基板における前記配線パターンの形成された面であって前記認識用の穴の上に、認識パターンを形成する工程をさらに含む半導体装置の製造方法。

28．請求項27記載の半導体装置の製造方法において、

前記認識パターンを、前記基板の面上に設定される二次元座標軸のうちX軸方向に延びる第1パターンと、Y軸方向に延びる第2パターンと、で形成し、

前記認識パターンを使用して、前記半導体チップと前記基板との位置合わせを行う半導体装置の製造方法。

29．請求項20から請求項26のいずれかに記載の半導体装置の製造方法において、

前記導電部材は積層した複数のバンプである半導体装置の製造方法。

30．請求項29記載の半導体装置の製造方法において、

前記複数のバンプは、

第1の導電線を前記半導体チップの複数の前記電極のいずれかにボンディングして、前記ボンディングされた第1の導電線をその一部を残して切断する第1工程と、前記電極に残された前記第1の導電線を押圧して第1のバンプを形成する第2工程と、

第2の導電線を前記第1のバンプ上にボンディングして、前記ボンディングされた第2の導電線をその一部を残して切断する第3工程と、

前記第1のバンプに残された前記第2の導電線を押圧して第2のバンプを形成する第4工程と、

を含む工程によって形成されてなる半導体装置の製造方法。

31．請求項30記載の半導体装置の製造方法において、

前記第 1 工程を繰り返して、複数の前記電極のそれぞれに前記第 1 の導電線の一部を設け、

前記第 2 工程では、複数の前記電極に残された前記第 1 の導電線の一部を、同時に押圧して、複数の前記第 1 のバンプを同時に形成する半導体装置の製造方法。

5 32. 請求項 31 記載の半導体装置の製造方法において、

前記第 3 工程を繰り返して、複数の前記第 1 のバンプのそれぞれに前記第 2 の導電線の一部を設け、

前記第 4 工程では、複数の前記第 1 のバンプに残された前記第 2 の導電線の一部を、同時に押圧して、複数の前記第 2 のバンプを同時に形成する半導体装置の製造方

10 法。

**THIS PAGE BLANK (USPTO)**

1/10

FIG. 1A

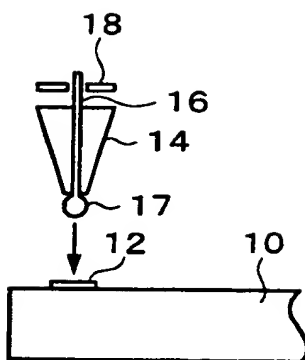


FIG. 1B

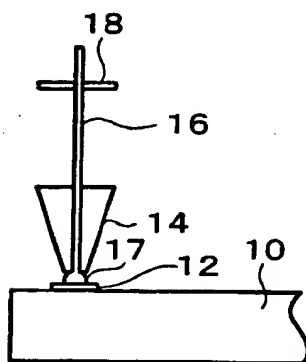
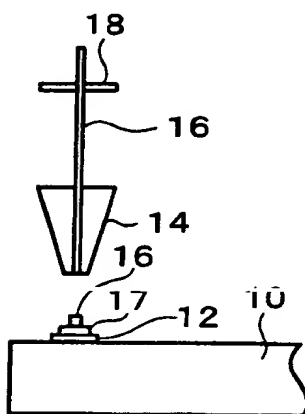


FIG. 1C



**THIS PAGE BLANK (USPTO)**



2/10

FIG. 2A

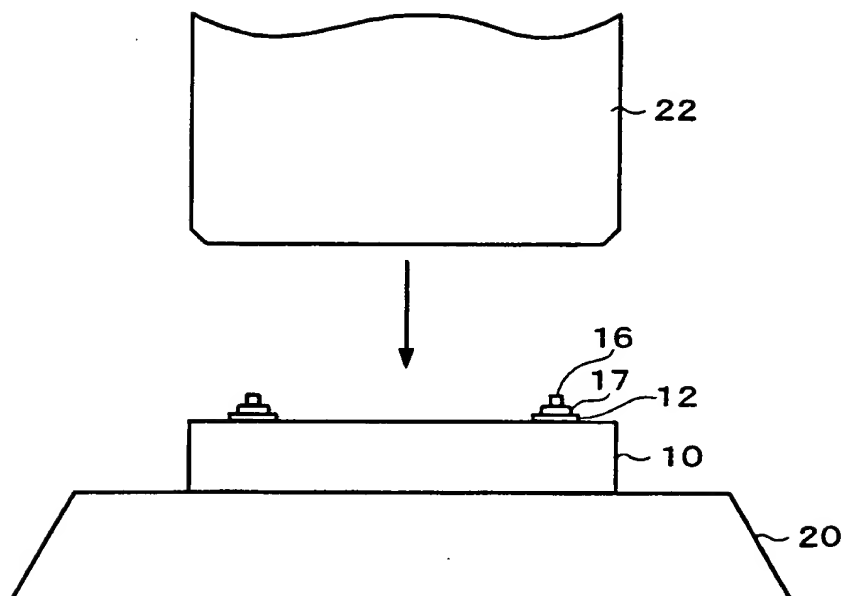
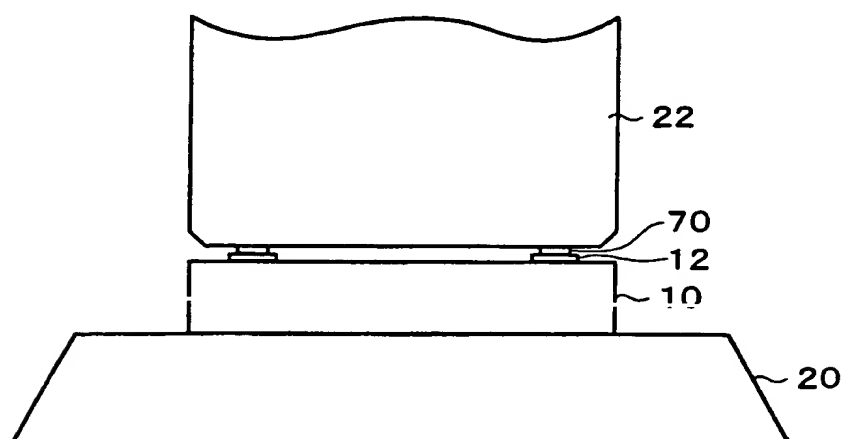


FIG. 2B



THIS PAGE BLANK (USPTO)

3/10

FIG. 3A

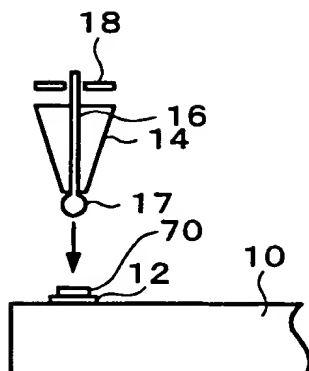


FIG. 3B

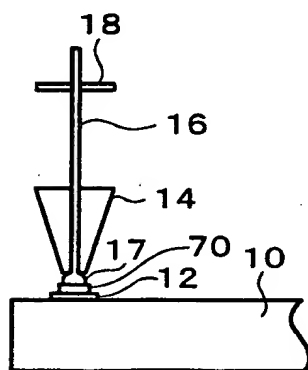
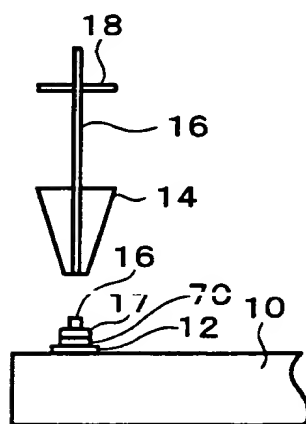


FIG. 3C



**THIS PAGE BLANK (USPTO)**

4/10

FIG. 4A

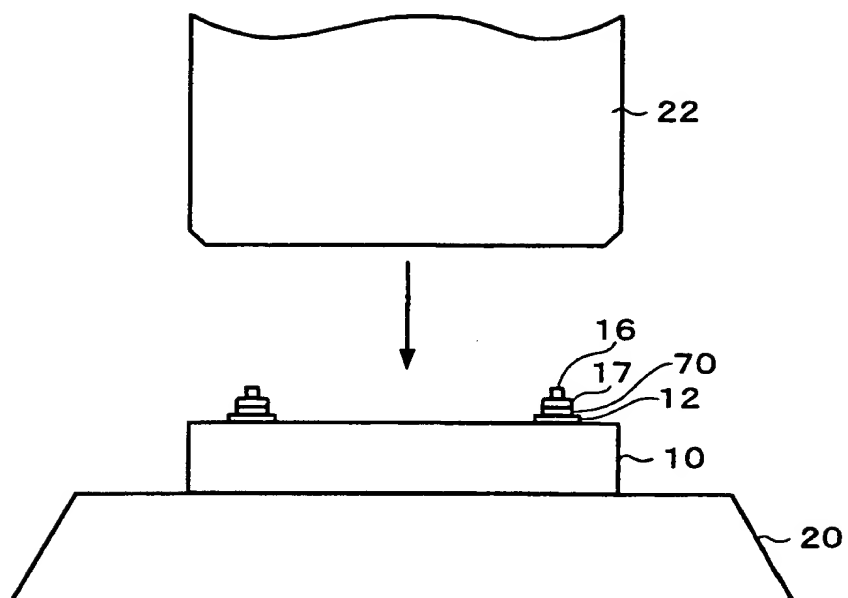
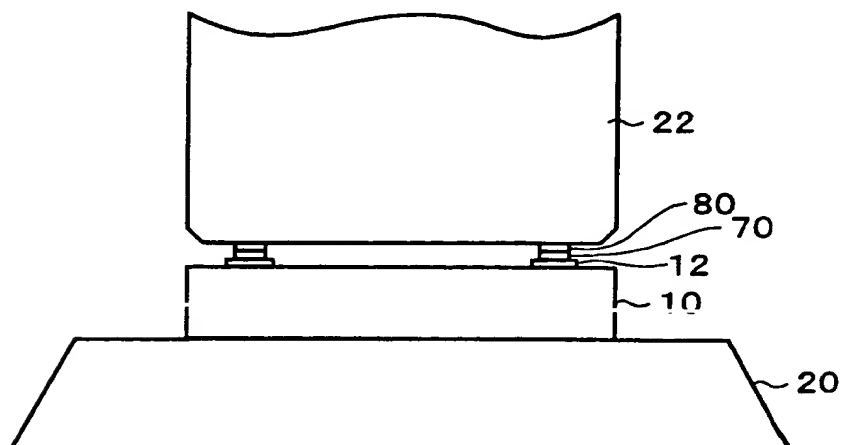


FIG. 4B



**THIS PAGE BLANK (USPTO)**

5/10

FIG. 5

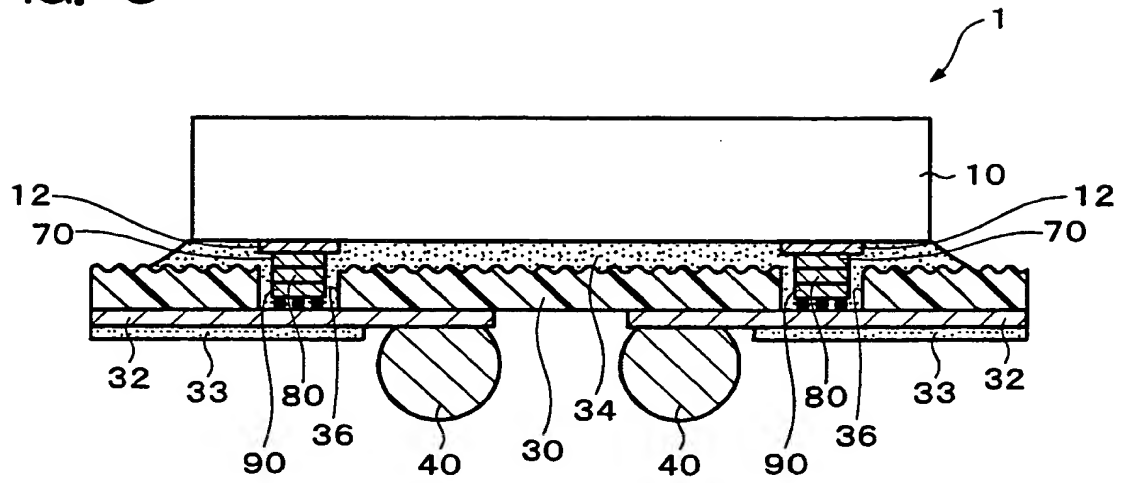
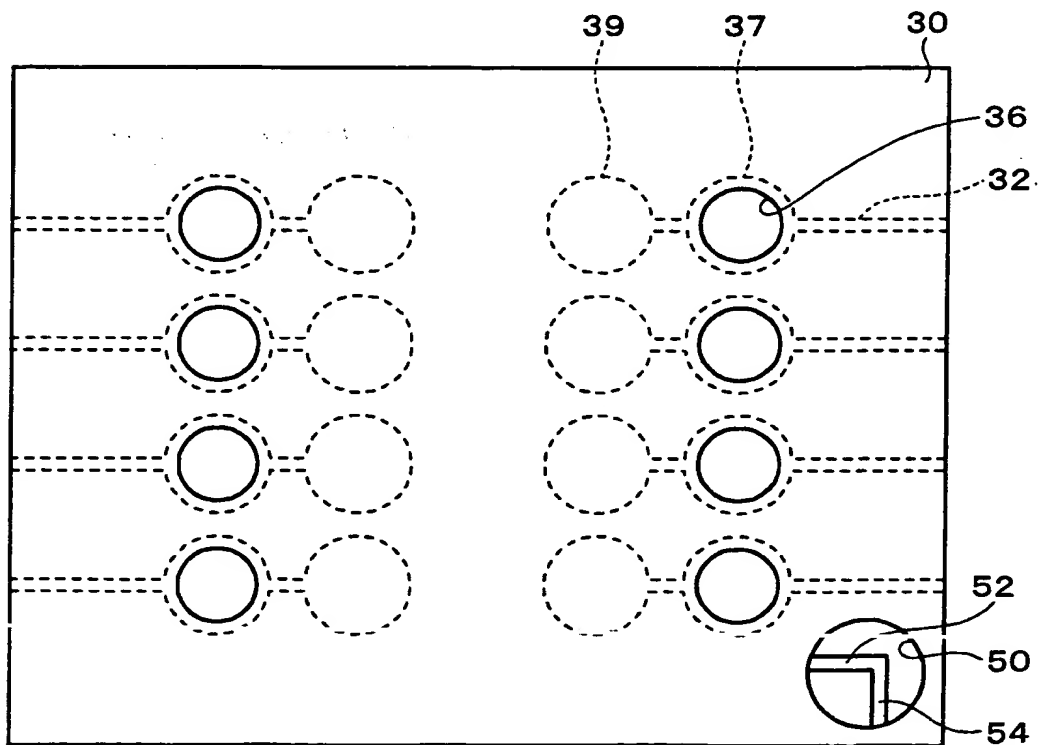


FIG. 6

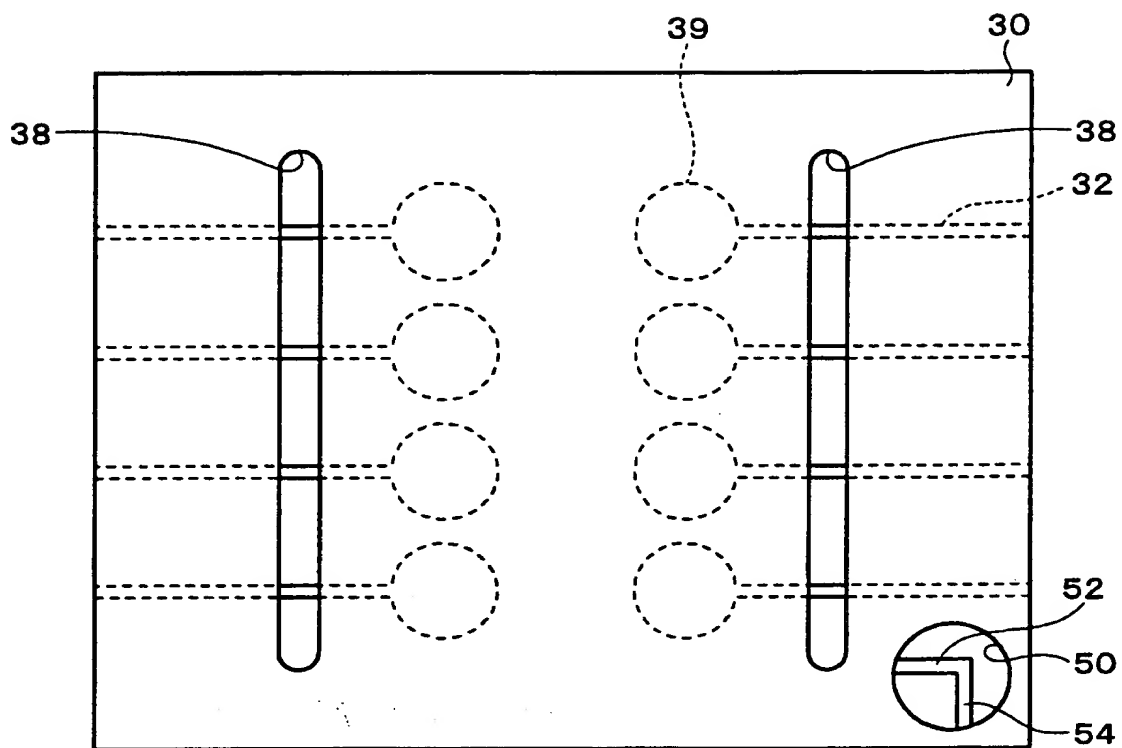


**THIS PAGE BLANK (USPTO)**



6/10

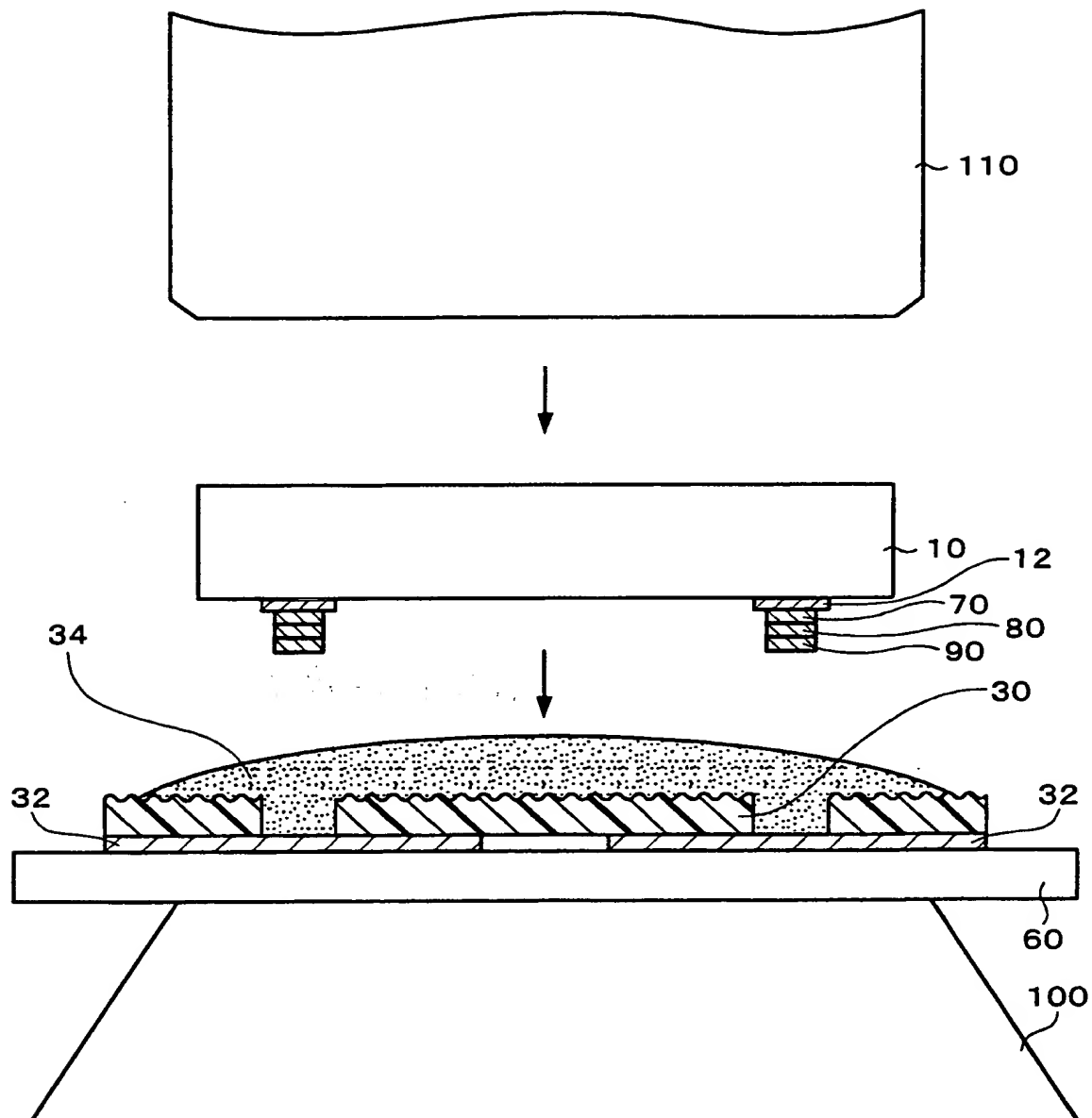
FIG. 7



**THIS PAGE BLANK (USPTO)**

7/10

FIG. 8



**THIS PAGE BLANK (USPTO)**

8/10

FIG. 9A

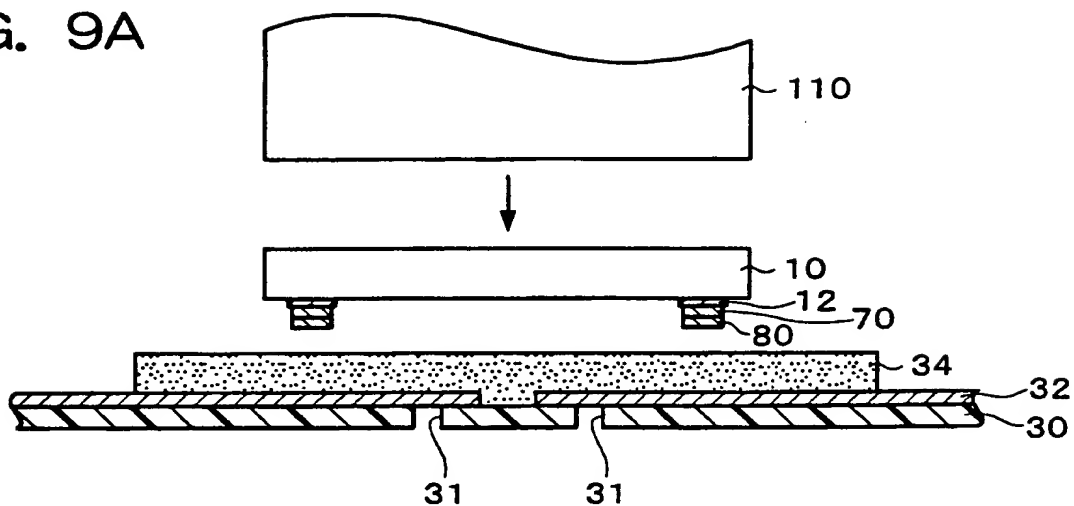


FIG. 9B

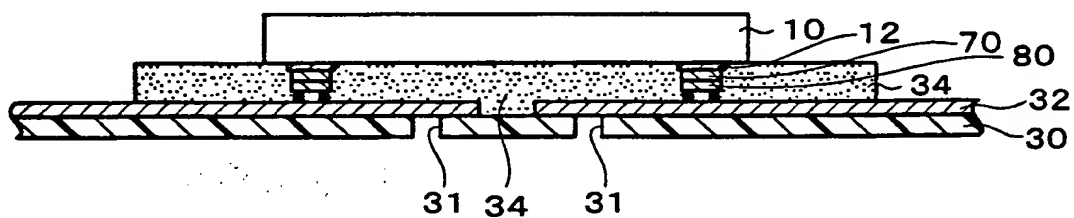


FIG. 9C

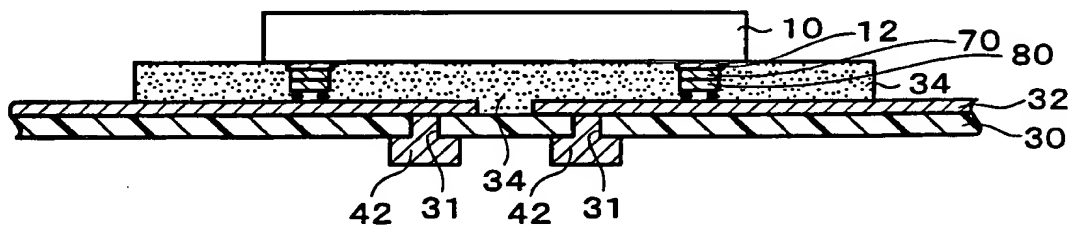
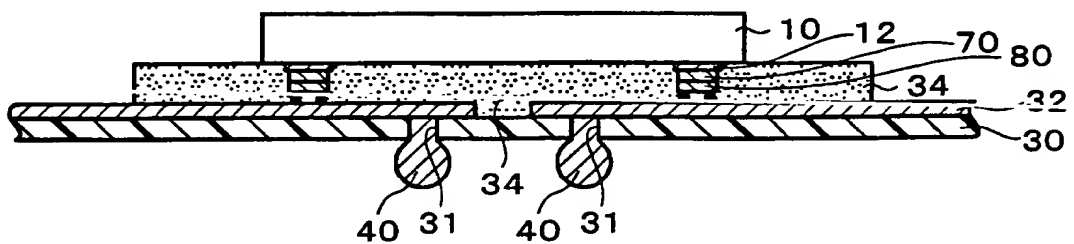


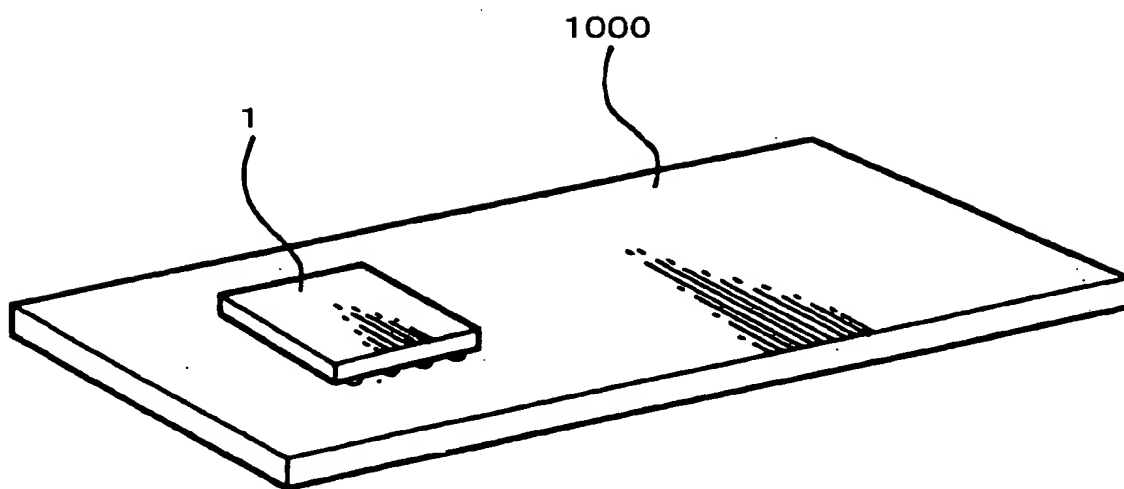
FIG. 9D



**THIS PAGE BLANK (USPTO)**

9/10

FIG. 10



**THIS PAGE BLANK (USPTO)**



10/10

FIG. 11

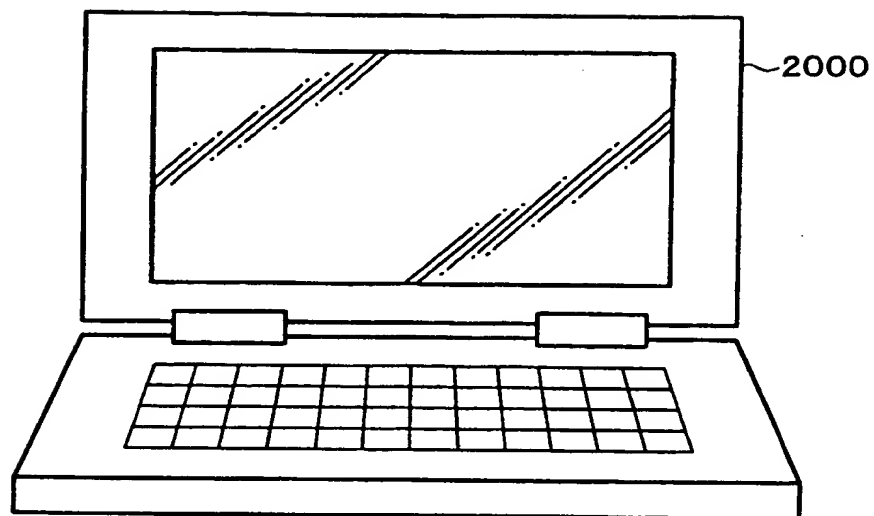
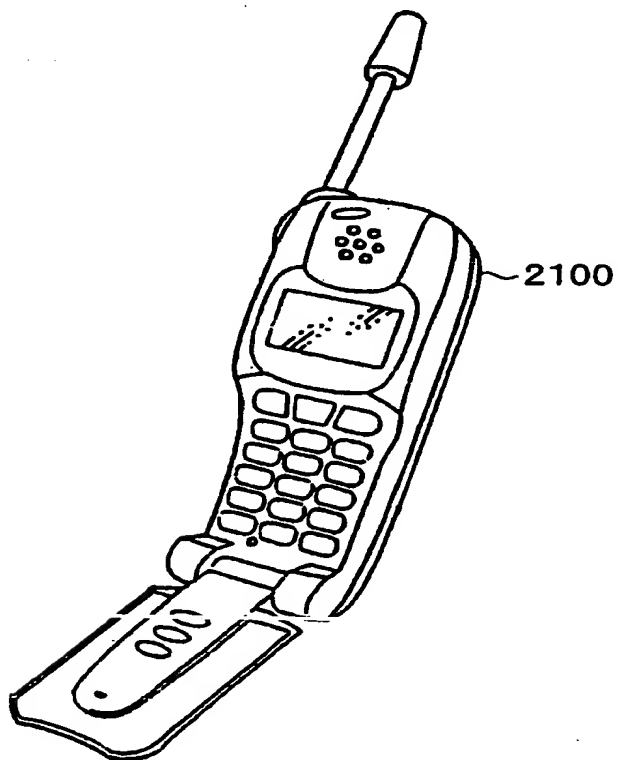


FIG. 12



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06767

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.47724/1974 (Laid-open No.136357/1975) (Sharp Corporation), 10 November, 1995 (10.11.95), Full text (Family: none)	1,4,17-20,23 2,3,6-8,10-16, 21,22,26,27, 29-32
Y	JP, 10-173003, A (Sharp Corporation), 26 June, 1998 (26.06.98), Fig. 1 (Family: none)	2,3,21,22
Y	JP, 8-335604, A (Toshiba Microelectronics Corporation), 17 December, 1996 (17.12.96), Full text, especially, Par. No. [0022] (Family: none)	6,26
Y	JP, 10-223695, A (Toshiba Corporation), 21 August, 1998 (21.08.98), Fig. 1 (Family: none)	7,8,27
Y	JP, 9-167771, A (Kokusai Electric Co., Ltd.), 24 June, 1997 (24.06.97), Full text (Family: none)	10-16,29-32

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
15 December, 2000 (15.12.00)Date of mailing of the international search report  
26 December, 2000 (26.12.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06767

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 10-321633, A (Matsushita Electric Ind. Co., Ltd.), 04 December, 1998 (04.12.98), Fig. 1 (Family: none)	30
Y	JP, 6-333982, A (Hitachi, Ltd.), 02 December, 1994 (02.12.94), Full text, especially, Par. Nos. [0043], [0044] (Family: none)	31, 32

## 国際調査報告

国際出願番号 PCT/JPO0/06767

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. CL7 H01L21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. CL7 H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国特許実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	日本国実用新案登録出願49-47724号 (日本国実用新案登録出願公開50-136357号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (シャープ株式会社), 10. 11月. 1975 (10. 11. 95), 全文 (ファミリーなし)	1, 4, 17-20, 23 2, 3, 6-8, 10-1 6, 21, 22, 26, 27, 29-32
Y	JP, 10-173003, A (シャープ株式会社), 26. 6月. 1998 (26. 06. 98), 図1 (ファミリーなし)	2, 3, 21, 22
Y	JP, 8-335604, A (東芝マイクロエレクトロニクス株式会社), 17. 12月. 1996 (17. 12. 96), 全文特に	6, 26

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

15. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立



4R

8831

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	段落 0 0 2 2 (ファミリーなし)	
Y	J P, 1 0 - 2 2 3 6 9 5, A (株式会社東芝), 2 1. 8 月. 1 9 9 8 (2 1. 0 8. 9 8), 図 1 (ファミリーなし)	7, 8, 27
Y	J P, 9 - 1 6 7 7 7 1, A (国際電気株式会社), 2 4. 6 月. 1 9 9 7 (2 4. 0 6. 9 7), 全文 (ファミリーなし)	10-16, 29-32
Y	J P, 1 0 - 3 2 1 6 3 3, A (松下電器産業株式会社), 4. 1 2 月. 1 9 9 8 (0 4. 1 2. 9 8), 図 1 (ファミリーなし)	30
Y	J P, 6 - 3 3 3 9 8 2, A (株式会社日立製作所), 2. 1 2 月. 1 9 9 4 (0 2. 1 2. 9 4), 全文特に段落 0 0 4 3, 0 0 4 4 (ファミリーなし)	31, 32

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. CL7 H01L21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. CL7 H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国特許実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	日本国実用新案登録出願49-47724号 (日本国実用新案登録出願公開50-136357号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (シャープ株式会社), 10. 11月. 1975 (10. 11. 95), 全文 (ファミリーなし)	1, 4, 17-20, 23 2, 3, 6-8, 10-1 6, 21, 22, 26, 2 7, 29-32
Y	JP, 10-173003, A (シャープ株式会社), 26. 6月. 1998 (26. 06. 98), 図1 (ファミリーなし)	2, 3, 21, 22
Y	JP, 8-335604, A (東芝マイクロエレクトロニクス株式会社), 17. 12月. 1996 (17. 12. 96), 全文特に	6, 26

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に関する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

15. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立



4R 8831

電話番号 03-3581-1101 内線 3469





## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	段落 0022 (ファミリーなし)	
Y	J P, 10-223695, A (株式会社東芝), 21. 8月. 1998 (21. 08. 98), 図1 (ファミリーなし)	7, 8, 27
Y	J P, 9-167771, A (国際電気株式会社), 24. 6月. 1997 (24. 06. 97), 全文 (ファミリーなし)	10-16, 29-32
Y	J P, 10-321633, A (松下電器産業株式会社), 4. 12月. 1998 (04. 12. 98), 図1 (ファミリーなし)	30
Y	J P, 6-333982, A (株式会社日立製作所), 2. 12月. 1994 (02. 12. 94), 全文特に段落 0043, 0044 (ファミリーなし)	31, 32

